

Family list

3 family members for:

JP5080712

Derived from 2 applications.

BEST AVAILABLE COPY

1 RADIOACTIVE DISPLAY

Publication Info: **JP2739795B2 B2** - 1998-04-15

JP5080712 A - 1993-04-02

2 Flat panel emissive display with redundant circuit

Publication Info: **US5151632 A** - 1992-09-29


Data supplied from the *esp@cenet* database - Worldwide

RADIOACTIVE DISPLAY

BEST AVAILABLE COPY

Patent number: JP5080712
Publication date: 1993-04-02
Inventor: JIYON RICHIIYAADO TOROKISERU
Applicant: GEN MOTORS CORP
Classification:
 - international: G09F9/30; G09G3/30
 - european: G09G3/22
Application number: JP19920065028 19920323
Priority number(s): US19910673611 19910322

Also published as:

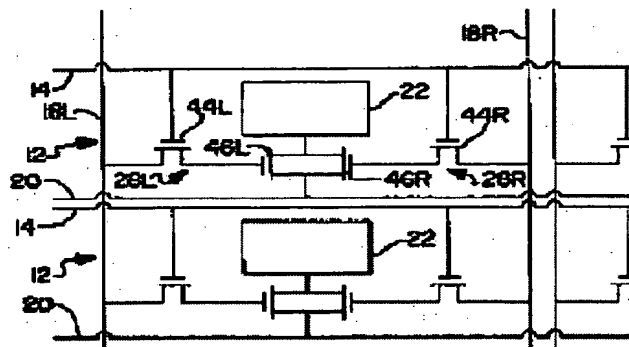
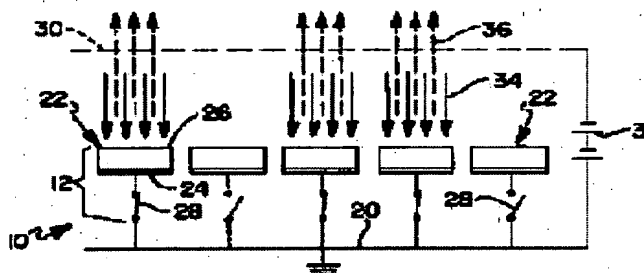
 US5151632 (A)

Report a data error here

Abstract of JP5080712

PURPOSE: To provide an improved radioactive display capable of localizing the influence of short-circuit of one column electrode.

CONSTITUTION: A matrix type addressable vacuum fluorescent display 10 has electrodes 14 prepared in each row, two column electrodes 18L, 18R prepared in each column of a pixel 12 and two pairs of FETs 44L-46L, 44R-46R individually connected to the row and column electrodes 14, 18L, 18R so as to turn on a phosphor element 26 corresponding to a required pixel and each pair of the FETs 44L-46L, 44R-46R is provided with a redundant circuit for supplying a part of a phosphor driving current. Thereby even when either one of the column electrodes 18L, 18R or a pair of FETs 44L-46L is failed, the remaining pair 44R-46R is driven so as to emit the phosphor 26 at least by suitable intensity.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-80712

(43) 公開日 平成5年(1993)4月2日

(51) Int. Cl. ⁵	識別記号	F I
G09G 3/30	301	9176-5G
G09F 9/30	362	7926-5G

審査請求 有 請求項の数6 (全5頁)

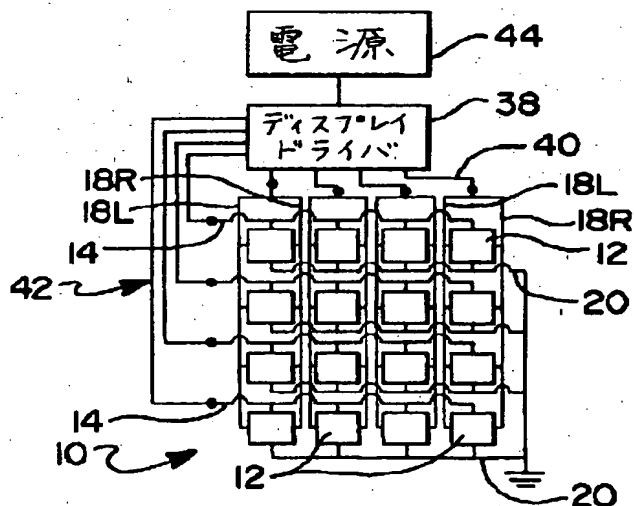
(21) 出願番号	特願平4-65028	(71) 出願人	590001407 ゼネラル・モーターズ・コーポレーション GENERAL MOTORS CORPORATION アメリカ合衆国ミシガン州48202, デトロイト, ウェスト・グランド・ブルバード 3044
(22) 出願日	平成4年(1992)3月23日	(72) 発明者	ジョン・リチャード・トロキセル アメリカ合衆国ミシガン州48313, スターリング・ハイツ, ゴールドバーグ・ドライブ 43519
(31) 優先権主張番号	6 7 3 6 1 1	(74) 代理人	弁理士 湯浅 恭三 (外6名)
(32) 優先日	1991年3月22日		
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 放射性ディスプレイ

(57) 【要約】

【目的】 1つの列電極の短絡の影響を局所化する改良された放射性ディスプレイの提供。

【構成】 マトリックス形アドレス可能真空蛍光性ディスプレイ (10) は、各行毎の電極 (14) と、画素 (12) の列毎の2組の列電極 (18L, 18R) と、所与の画素に対する蛍光体素子 (26) をオンにするために行及び列電極 (14, 18L, 18R) に個別に接続された2組のFET (44-46) とを有し、FET (44-46) の各組が蛍光体作動電流の一部分を供給する冗長回路を備える。1つの列電極 (18L, 18R) または1組のトランジスタ (44-46) が故障しても、残りの組 (44-46) は、少なくともある適切な強度で蛍光体 (26) を発光させるように作用する。



【特許請求の範囲】

【請求項1】 電流が供給されたときに光を放射する手段をそれぞれ有し、行及び列に配列された画素(12)のマトリックスと、

画素の行毎に接続された1つの行電極(14)と、画素の各列に接続された複数の列電極(18L, 18R)であって、各画素が、対応する行電極及び複数の対応する列電極に接続される複数の列電極と、

選択された画素の行に対応する行電極及び選択された画素の列に対応する複数の列電極を選択的に付勢するための駆動手段(38)と、

各画素に結合され電流を供給する複数のトランジスタ手段(28L, 28R)とを具備し、各トランジスタ手段は、関連する画素の行電極と列電極の一つとに接続され、該関連する画素は、複数のトランジスタ手段のうちの1つがその各電極によって活性化されるときに光を放射するように活性化される放射性ディスプレイ。

【請求項2】 画素の各列に接続された第1及び第2の列電極(18L, 18R)と、各画素に接続された第1及び第2のトランジスタ手段(28L, 28R)とを有し、第1のトランジスタ手段(28L)は、第1の列電極(18L)及びその関連する行電極(14)に接続され、第2のトランジスタ手段(28R)は、第2の列電極(18R)及びその関連する行電極(14)に接続されている請求項1に記載の放射性ディスプレイ。

【請求項3】 各トランジスタ手段は、選択及び駆動トランジスタとして作動可能な一对の電界効果トランジスタを有し、各選択トランジスタ(44L, 44R)は、関連する行及び列電極に結合され、前記関連する電極の双方が付勢されたときに活性化され、各駆動トランジスタ(46L, 46R)は、対応する選択トランジスタ及びその関連する画素に結合されており、対応する選択トランジスタが活性化されるとき、その関連する画素を活性化するために導通するように切り換えられる請求項1又は2に記載の放射性ディスプレイ。

【請求項4】 ディスプレイ(10)は真空蛍光性ディスプレイであり、各画素は、接地への電流を確立することによって発光するようになっている蛍光体素子(24)を有し、各トランジスタ手段(28L, 28R)は、行及び列電極が付勢されたときに蛍光体素子を発光させるように駆動トランジスタを活性化するために行電極と列電極と駆動トランジスタとに接続された選択トランジスタ(44L, 44R)と、選択的に蛍光体素子を接地するために蛍光体素子に接続された駆動トランジスタ(46L, 46R)とを有する請求項1、2又は3に記載の放射性ディスプレイ。

【請求項5】 トランジスタ手段の双方または全てによって供給された電流は、各トランジスタが活性化されたとき画素の第1の発光レベルを提供し、1つのトランジスタ手段のみが活性化されたときに第1の発光レベルより

低い第2の発光レベルを提供するようになっている請求項1から4のいずれか1つに記載の放射性ディスプレイ。

【請求項6】 各列電極は、1つの列電極での短絡回路がその関連する他の列電極を損なわないように、接地への短絡回路の影響を局所化する抵抗を有する導電体から形成されている請求項1から5のいずれか1つに記載の放射性ディスプレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、放射性(emissive)ディスプレイに関し、回路の一部が非動作であるときにディスプレイの各画素の動作を許容するための冗長性を有する放射性ディスプレイの画素駆動回路に関する。

【0002】

【従来の技術】 大きい領域のフラットパネルディスプレイの製造の際、ディスプレイを外観上受け入れることができなくする欠陥が生じることがある。インターレベルの短絡及び開放ラインが画素中に起こり、その画素は作動することができなくなる。列及び行電極のような交差導電体の製造及びトランジスタの製造は、1つの導電体上に絶縁層を設け、その絶縁層上に別の導電体を設ける。絶縁層のピンホールは、2つの導電体の間の短絡の原因になる。通常、特定の行のアドレス指定の際を除いて、接地電位が列電極上に維持される。1カ所におけるこのような接地行電極への列電極の短絡は、列電極信号の抑圧によって、同じ列の多数の画素の非動作を生じる。もちろん、開放列電極並びに短絡したトランジスタも、画素の動作を失わせる。このような欠陥によって拒絶されたディスプレイパネルの数を最小にし、ディスプレイの生産性を上げるために、所与の画素に対する他の回路が故障しても、その画素の動作をおこなうことができる冗長回路を備えることが望ましい。

【0003】 このような冗長回路を設けるための1つの提案は、米国特許第4,820,222号に述べられており、その特許は、各列に対して2つの列電極、各列に対して2つ列電極を使用し、各画素を通常同時にオンオフする4つのサブ画素に分割し、1つのサブ画素が非動作であっても、いくつかの他の画素が、画素の表示における欠陥を最小にするために作用することができるようにすることを提案している。この方法は、粗い表示には有益であるが、精細な解像度を有するディスプレイには適用し得ない。この提案は、1つのタスクを実行するために4つの画素を使用することと等価である。特に高品質の明るいディスプレイにおいては、画素となる蛍光体の密度に実際上の制限があるから、提案されたサブ画素方法には、通常の画素制限の1/4の密度制限がある。この特許に開示された回路は、液晶(電界効果)ディスプレイ装置に対してのみ有効であり、一方、放射性ディ

スプレイは電流駆動であり、したがって画素が発光を行う限り電流を保持するために有効な各画素ごとの回路を必要とする。

【0004】

【発明が解決しようとする課題】本発明は、改良された放射性ディスプレイを提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の観点によれば、特許請求の範囲第1項に特定した放射性ディスプレイが提供される。

【0006】本発明は、ディスプレイの解像度と実質的に妥協することなく放射性ディスプレイにおける回路の故障の影響を最小化するための回路を提供する。

【0007】実際のな実施例においては、画素電流が供給されたときに光を放射する手段をそれぞれ有し、行及び列に配列された画素のマトリックスと、画素の行毎の行電極と、画素の列毎の複数の列電極であって、各画素が、対応する行電極及び対応する列電極を有する複数の列電極と、選択された画素の行に対応する行電極及び選択された画素の列に対応するすべての列電極を選択的に付勢するための駆動手段と、共同して画素電流を供給するために各画素に結合された冗長な組のトランジスタ手段とを具備し、トランジスタ手段の各組は、対応する行電極及び対応する列電極の一つに接続され、それによって、画素は、トランジスタ手段の任意の組がそれに接続された電極によって活性化されるときにはいつでも画素電流によって活性化されるようになっているフラットなパネル放射性ディスプレイが提供される。

【0008】

【実施例】以下、本発明の実施例を一例としてのみ図面を参照して説明する。

【0009】次の説明は、真空蛍光性ディスプレイに向けるが、本発明は、一般には画素の発光のために画素電流を必要とする放射性ディスプレイに関するものであることが認識されるであろう。いくつかのフラットなパネルディスプレイは、電流の光への変換に基づいて作動する。これらは、真空蛍光ディスプレイ、薄膜電界発光ディスプレイ、及びプラズマディスプレイを含む。これらの放射性ディスプレイにおいて、光出力は、ディスプレイの特定の領域に供給された電流に関係する。この電流を複数の駆動トランジスタから供給することによって、大きな冗長性を装置に形成することができる。

【0010】図1は、4行及び4列のマトリックスの形で16個のアクティブな画素セル12を有するフラットパネル放射性ディスプレイ10を示す。画素へのアドレスラインは、各画素行毎の行電極14と、各列の各側に1つつつ設けられた、各画素列毎の複数の列電極（ここでは2つ）18L及び18Rとを有する。（セルの右側または左側の間の区別が重要である場合には、参照数字はサフィックスLまたはRを含むが、他の場合にはサフィ

ックスは省略する。）列電極18R及び18Lは、一端または両端で接続されて同じ信号を搬送し、したがって、基本的には同じ導電体である。接地ライン20は、各アクティブ画素セル12を接地する。各アクティブな画素セル12は、行電極14、隣接する列電極18L及び18Rの各々及び接地ライン20に接続されている。

【0011】図2は、真空蛍光体性ディスプレイ装置10の作動を示す。各アクティブな画素セル12は、蛍光体26で被覆されたアノード24を含む蛍光体素子22と、アノードを接地ライン20に選択的に接続するためのスイッチ28とを有する。電源32によって負の電圧に保持されるカソードフィラメント30は、接地電位の蛍光体素子22へ引かれる電子34を放出する。光36は、電子が蛍光体26に当たった時に蛍光体26から放射される。ディスプレイから放射される光のパターンは、スイッチ28を選択的に開閉することによって決定される。このスイッチは、マトリックス内のアクティブセル12を適当にアドレスすることによって制御される。

【0012】再び図1を参照すると、マイクロプロセッサをベースとする論理回路を有するディスプレイドライバ38は、列電極18R及び18Lの各対に接続された列出カライン40と、行電極14に接続された行出力カライン42とを有する。電源44は、各出力ラインに対して適当な電圧を供給する。

【0013】図3は、ディスプレイの同じ列の隣接した行にあり、行電極14及び列電極18L及び18Rによってアドレスされる2つのアクティブセルを示す。各蛍光体素子は、2つのスイッチ28L及び28Rによって制御され、各スイッチは、一組の2つのMOSFETを有する。FET44Lは、選択トランジスタであり、列電極18Lに接続されたソースと行電極14に接続されたゲートとを有する。FET44Lのドレインは、駆動トランジスタ46Lのゲートに接続されており、そのドレイン及びソースは、蛍光体素子22と接地ライン20との間に接続されている。他方のスイッチ28Rはスイッチ28Lと同じ構成であり、行電極14及び列電極18Rによって制御される選択FET44Rと、FET46Lのソース及びドレインと並列なソース及びドレインを有する駆動FET46Rとを有する。正常の動作において、発光すべき画素に対して行電極14を付勢し、列電極18R及び18Lの双方を作動させて全てのFET46をオンにする。これによって、駆動FET46の双方が蛍光体素子と接地との間に画素電流を流すことができる。駆動FET46の電流の和であるこの正常の電流は、蛍光体をその完全な輝度で発光させるのに十分である。列電極の一つまたはFETの一つにおいて短絡が生じた場合に、スイッチ28Lまたはスイッチ28Rのいずれかが非動作状態になり、他方のスイッチは導通状態にある。そこで電流は半分の大きさになり、光強度は減少するが、人の目は光強度に対数的な応答性を有するか

ら、輝度はわずかに減少するだけである。

【0014】ディスプレイは、従来のアドレス指定法を使用し、行電極14は、一度に一個ずつ作動され、各行毎に、選択された列電極は、1つの行の所与の画素に対するスイッチをオンにするために付勢される。各スイッチの2つのFETは、スイッチが一旦オンになったときに電流を維持するためにサンプル・アンド・ホールド構成で使用される。選択FET44を通る電流は、駆動FET46のゲートを帯電させ、その帯電が後のアドレス指定サイクル期間中に取り除かれるまでFET46をオンに保持する。したがって、画素電流は100%デュティサイクルの間オンである。

【0015】FETは、FET46のゲートに必要な電荷を蓄積し、FET46を通る必要な電流を提供するように設計されている。例えば、トランジスタは、pチャンネルの多結晶シリコンの薄膜トランジスタ装置であり、FET44は長さが30 μ mで幅が10 μ mのチャンネルを有する。駆動トランジスタ46は長さが10 μ mで幅が450 μ mのチャンネルを有する。駆動FET46のチャンネル幅は、両FETが導通しているときに所望の蛍光体輝度を得るのに十分な電流を通すように選択される。これらのpチャンネル装置において、選択FETは、対応する行及び列電極に加えられる-20ボルトによって導通する。

【0016】多数の材料選択は、行電極14及び列電極18の製造において利用可能である。材料の選択は、処理の容易性及び電極の抵抗に影響を与える。行電極14に対してはアルミニウムのような金属を、列電極18に対しては(ボロンまたは燐をドーブした)重くドーブされたポリシリコンのような抵抗性導体を使用することが好ましい。アルミニウムの固有抵抗は、1オーム/スクエアより小さく、ボロンまたは燐を重くドーブしたポリシリコンの固有抵抗は約100オーム/スクエアである。電極に対して使用する薄膜ストリップは、典型的には幅が30 μ mであり、その結果、1cmの長さのポリシリコンの電極は、約33,000オームの抵抗を有する。この高抵抗は列電極の動作上重要である。なぜならば、接地された行電極への短絡は、短絡箇所の局所的な範囲においてのみ列電圧をブルダウンし、それによって、特に列電極の両端が接合されている場合ほんの少数

の駆動FET46Rまたは46Lをディスエイブルするからである。設計事項として、2つの列電極の接合点と第1のまたは頂部の行電極とのクロスオーバーとの間の各列電極が、十分な抵抗を有する場合、頂部の行電極と列電極との間の短絡は、他の列電極での適切な動作電圧を妨げず、したがって等外列内の画素はすべて作動可能である。設計上の問題として、その抵抗が十分でなく、第2の列が損傷された最悪の場合においても、回路は、ディスプレイの頂部の行だけでの接地障害が拒絶の原因を与えるにすぎないから、冗長性の設計に比較して、このようなディスプレイの歩留まりを大幅に改良することができる。他方、列電極18に対して金属等の低抵抗材料を使用するならば、両電極18R、18Lは、1つでも接地への短絡があるとディスエイブルとされ、冗長な回路の利益を無効にしてしまう。しかしながら、冗長性の若干の利益は、開放列電極の場合に低抵抗の列電極によって得ることができ、その場合、冗長性構造により、影響された画素は減少した強さで発光することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるフラットなパネルディスプレイ装置の概略回路図である。

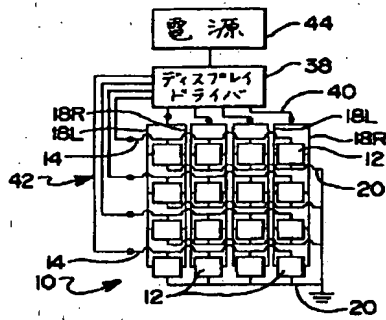
【図2】図1のディスプレイ装置とともに使用されるタイプの真空蛍光性ディスプレイを表す概略図である。

【図3】本発明の実施例による典型的なディスプレイセルの詳細な回路図である。

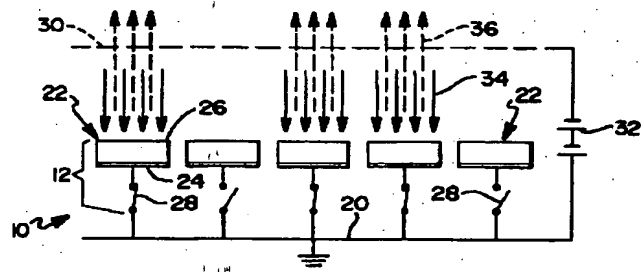
【符号の説明】

- 10...フラットパネル放射性ディスプレイ
- 12...アクティブな画素セル
- 14...行電極
- 18...列電極
- 22...蛍光体素子
- 24...アノード
- 26...蛍光体
- 28...スイッチ
- 30...カソードフィラメント
- 32...電源
- 34...電極
- 36...光

【図 1】



【図 2】



【図 3】

